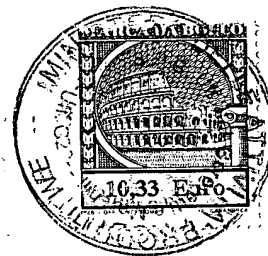




Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2003 A 000484**



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

5 APR. 2004

Roma, li

BEST AVAILABLE COPY

IL FUNZIONARIO

.....
Giampietro Carlotto
Giampietro Carlotto

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

N.G.

Residenza _____ codice _____

"Circuito ad anello ad aggancio di fase con iniezione di impulsi di corrente per migliorare la linearità"

[illegible]

H. ANNOTAZIONI SPECIALI

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO ☒ SI

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE

~~M. CORTONESI~~

Ing. Ennio PEZZOLI
N. Iscriz. 528
(in proprio e per gli altri)

DESCRIZIONE

dell'invenzione industriale dal titolo:

**"CIRCUITO AD ANELLO AD AGGANCIO DI FASE CON INIEZIONE DI
IMPULSI DI CORRENTE PER MIGLIORARE LA LINEARITÀ"**

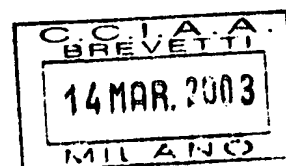
5 **A nome: STMicroelectronics S.r.l.**

* * * * * **MI 2003 A 0 0 0 4 8 4**

La presente invenzione riguarda un circuito ad anello ad aggancio di fase (Phase-Locked Loop, o PLL).

Un PLL è un componente fondamentale di molti sistemi
10 elettronici (ad esempio, in applicazioni di telecomunicazioni). Il PLL consiste di un circuito retroazionato negativamente che consente di moltiplicare la frequenza di un segnale di riferimento per un fattore di conversione selezionato; ciò dà luogo alla generazione
15 di un segnale di uscita con la frequenza desiderata controllabile e stabile.

A tale scopo, un divisore di frequenza scala la frequenza del segnale di uscita per il fattore di conversione. Il segnale che ne risulta è retroazionato ad
20 un comparatore di fase, il quale rileva una differenza di fase tra il segnale di retroazione ed il segnale di riferimento; il comparatore di fase fornisce in uscita una corrente di controllo indicativa della differenza di fase. Un filtro di anello integra la corrente di
25 controllo in una corrispondente tensione, la quale



Ing. Ennio PEZZOLI
N. Iscriz. 528
(in proprio e per gli altri)

controlla la frequenza del segnale di uscita di
conseguenza. In una condizione di aggancio, la frequenza
del segnale di retroazione eguaglia la frequenza del
segnale di riferimento; pertanto, la frequenza del
5 segnale di uscita sarà uguale alla frequenza di
riferimento moltiplicata per il fattore di conversione.

Un problema che impatta negativamente il
funzionamento del PLL è la non-linearità del comparatore
di fase. Tipicamente, il comparatore di fase è
10 implementato con una pompa di carica che è controllata da
un rilevatore di frequenza e di fase (Phase Frequency
Detector, o PFD). Il PFD consiste di due elementi
bistabili (flip-flop), i quali sono settati in risposta
al fronte di salita, rispettivamente, del segnale di
15 riferimento e del segnale di retroazione; i due flip-flop
sono resettati quando sia il segnale di riferimento sia
il segnale di retroazione sono asseriti. La pompa di
carica include due generatori di corrente che consistono
di un PMOS superiore e di un NMOS inferiore; il PMOS è
20 controllato dal valore staticizzato nel flip-flop
associato con il segnale di riferimento, mentre l'NMOS è
controllato dal valore staticizzato nel flip-flop
associato con il segnale di retroazione.

Il comparatore di fase ha una caratteristica di
25 ingresso/uscita (che riporta una carica di uscita in

funzione di una differenza di fase di ingresso) che differisce significativamente da una linea retta ideale. Una tipica non-linearità è causata dal disallineamento tra il PMOS e l'NMOS nella pompa di carica. Un'ulteriore
5 non-linearità è introdotta dalla variazione asimmetrica delle capacità non-lineari nel PFD. Una sorgente supplementare di non-linearità consiste della zona-morta della pompa di carica. La non-linearità nella caratteristica di I/O del comparatore di fase è
10 generalmente maggiore quando la differenza di fase assume valori prossimi allo zero (a causa del diverso comportamento del PMOS e dell'NMOS nella pompa di carica).

Il problema sopramenzionato è particolarmente
15 sentito in un PLL di tipo frazionario; in questo caso, il rapporto di divisione del divisore di frequenza cambia dinamicamente in modo da ottenere un fattore di conversione medio uguale ad un numero frazionario. Tuttavia, il cambio nel rapporto di divisione provoca
20 segnali spuri (o spurie) frazionari a spiazamenti (offset) di frequenza da una portante che sono multipli della periodicità nel modello (pattern) di divisione. La non-linearità del comparatore di fase aumenta fortemente il livello delle spurie frazionarie, con un impatto
25 negativo sulle prestazioni dell'intero PLL.

Ing. Ennio PEZZOLI
N. Iscriz. 528
(in proprio e per gli altri)

Diverse soluzioni sono state proposte negli ultimi anni per ridurre gli effetti della non-linearità del comparatore di fase descritta sopra.

Una configurazione tipica del comparatore di fase
5 affronta il problema causato dalla zona-morta della pompa di carica introducendo una linea di ritardo sul percorso del segnale usato per resettare i flip-flop nel PFD.

Inoltre, alcune implementazioni forzano il comparatore di fase a lavorare in una porzione lineare
10 della sua caratteristica di I/O; questo risultato è ottenuto mantenendo la differenza di fase tra il segnale di retroazione ed il segnale di riferimento diversa da zero nella condizione di aggancio. Ad esempio, una soluzione nota nell'arte consiste nel generare due
15 segnali di reset separati per i flip-flop nel PFD tramite linee di ritardo asimmetriche. Una diversa soluzione è basata sull'iniezione di una corrente continua nel filtro di anello. In entrambi i casi, il PLL si aggancia quando la corrente totale fornita al filtro di anello in ogni
20 ciclo è zero. In questa condizione, il segnale di riferimento ed il segnale di retroazione hanno la stessa frequenza, ma una differenza di fase pre-definita.

Tuttavia, le soluzioni descritte sopra aumentano fortemente il livello di spurie di riferimento ad un
25 offset attorno alla portante che è uguale alla frequenza



di riferimento. Tale problema è causato dal fatto che, sebbene nulla in media, la corrente iniettata nel filtro di anello ha un valore istantaneo che è diverso da zero. Di conseguenza, la tensione di controllo fornita in uscita dal filtro di anello presenta un'oscillazione (ripple) alla frequenza operativa del comparatore di fase.

Scopo della presente invenzione è di ovviare ai suddetti inconvenienti. Per raggiungere tale scopo, è proposto un circuito come indicato nella prima rivendicazione.

In breve, la presente invenzione prevede un circuito ad anello ad aggancio di fase per fornire un segnale di uscita avente una frequenza dipendente dalla frequenza di un segnale di riferimento, il circuito comprendendo mezzi per ricavare un segnale di retroazione dal segnale di uscita, mezzi per fornire un segnale di controllo indicativo di una differenza di fase tra il segnale di riferimento ed il segnale di retroazione, mezzi per controllare la frequenza del segnale di uscita in funzione del segnale di controllo, e mezzi per portare il circuito in una condizione di aggancio quando il segnale di riferimento ed il segnale di retroazione hanno la stessa frequenza ed una differenza di fase pre-definita, in cui i mezzi per portare il circuito nella condizione

di aggancio comprendono mezzi per condizionare il segnale di controllo ad avere un valore istantaneo sostanzialmente nullo nella condizione di aggancio tramite un segnale di condizionamento consistente di una
5 serie di impulsi ciascuno corrispondente alla differenza di fase pre-definita.

Inoltre, un corrispondente metodo di sintesi è anche incluso.

10 Ulteriori caratteristiche ed i vantaggi della soluzione secondo la presente invenzione risulteranno dalla descrizione di seguito riportata di una sua forma di realizzazione preferita, data a titolo indicativo e non limitativo, con riferimento alle figure allegate, in cui:

15 Figura 1 mostra i blocchi funzionali di un PLL che implementa la soluzione dell'invenzione,

Figura 2a è uno schema a blocchi di principio di un comparatore di fase del PLL,

20 Figure 2b e 2c sono diagrammi temporali semplificati che descrivono il funzionamento (in una condizione di aggancio) di un PLL, rispettivamente, secondo l'arte nota e secondo una forma di realizzazione della presente invenzione,

Figura 3a illustra un'implementazione preferita di
25 un circuito di condizionamento del PLL in combinazione

con un suo divisore di frequenza, e

Figura 3b descrive il funzionamento del circuito di condizionamento in un diagramma temporale semplificato.

Con riferimento in particolare alla Figura 1, è
5 mostrato un PLL digitale 100 di tipo frazionario. Il PLL
100 è usato per sintetizzare un segnale di uscita V_o con
una frequenza desiderata F_o (che definisce un canale di
funzionamento del PLL 100). Il segnale di uscita V_o è
ottenuto moltiplicando una frequenza F_r di un segnale di
10 riferimento V_r per un fattore di conversione selezionato;
il segnale di riferimento V_r è generato da un oscillatore
al quarzo (non mostrato nella figura) che fornisce una
base dei tempi stabile e precisa.

Il PLL 100 implementa un anello di retroazione
15 attraverso un divisore di frequenza 105 che riceve il
segnale di uscita V_o . Il divisore di frequenza 105 è
controllato da due segnali esterni N e K . Il parametro N
definisce una componente intera del canale prescelto. Il
parametro K è un valore di aggiustamento che consiste di
20 un numero intero variabile da 0 ad un modulo F (con il
valore K/F che definisce una componente frazionaria del
canale). Il blocco 105 divide la frequenza F_o del segnale
di uscita V_o alternativamente per N o $N+1$, in funzione
del valore di aggiustamento K . Il segnale V_b che ne
25 risulta (avente una frequenza F_b) è retroazionato ad un

comparatore di fase 115.

Il blocco 115 confronta il segnale di retroazione V_b con il segnale di riferimento V_r . Il comparatore di fase 115 fornisce in uscita una corrente di controllo I_d 5 indicativa della differenza di fase tra i due segnali, la quale corrente I_d è iniettata in un filtro di anello 120. Il filtro di anello 120 rimuove le componenti ad alta frequenza della corrente di controllo I_d ; inoltre, esso integra la corrente di controllo I_d in una corrispondente 10 tensione V_c . La tensione di controllo V_c pilota un oscillatore controllato in tensione (Voltage Controlled Oscillator, o VCO) 125, il quale fornisce il segnale di uscita V_o .

Durante il funzionamento del PLL 100, il VCO 125 15 inizia ad oscillare ad una frequenza propria (free-run) in conseguenza del rumore di fondo nel circuito. Assumendo che il valore di aggiustamento K sia uguale a 0, il sistema sopra descritto opera come un PLL di tipo intero. In questo caso, il divisore di frequenza 105 20 divide sempre la frequenza F_o del segnale di uscita V_o per N , in modo che $F_d = F_o/N$.

In una condizione di non-aggancio (come durante un'accensione iniziale oppure immediatamente dopo una commutazione di canale), la frequenza F_b del segnale di 25 retroazione V_b è diversa dalla frequenza F_r del segnale



di riferimento V_r . Pertanto, il comparatore di fase 115 fornisce in uscita una corrispondente corrente di controllo I_d . La tensione di controllo V_c che ne risulta (dal filtro di anello 120) modifica di conseguenza la
5 frequenza F_o del segnale di uscita V_o . In particolare, quando la frequenza di retroazione F_b è inferiore alla frequenza di riferimento F_r , la tensione di controllo V_c comanda il VCO 125 ad aumentare la frequenza di uscita F_o ; al contrario, quando la frequenza di retroazione F_b è
10 superiore alla frequenza di riferimento F_r , la tensione di controllo V_c comanda il VCO 125 a ridurre la frequenza di uscita F_o .

Dopo un periodo transitorio, la frequenza F_b del segnale di retroazione V_b raggiunge la frequenza F_r del
15 segnale di riferimento V_r (con $V_c=0$). In questa condizione di aggancio, la frequenza F_o del segnale di uscita V_o è quindi uguale a $F_r \cdot N$. Pertanto, il PLL 100 rilascia un segnale di uscita V_o con una frequenza F_o avente un qualsiasi valore desiderato che è multiplo
20 della frequenza F_r del segnale di riferimento V_r (al variare di N); in altre parole, la frequenza di uscita F_o può essere regolata (in una banda di interesse) con una risoluzione, o spaziatura di canale, uguale alla
frequenza di riferimento F_r .

25 Una conseguenza inevitabile del processo descritto

sopra è che la moltiplicazione di frequenza eseguita dal PLL 100 aumenta il contributo ad un rumore di fase del segnale di uscita V_o (dovuto al divisore di frequenza 105) con legge quadratica rispetto al valore N ; pertanto, N deve essere mantenuto relativamente basso, con una conseguente spaziatura di canale elevata. Inoltre, il comparatore di fase 115 genera un rumore transitorio alla sua frequenza operativa F_r (a causa di picchi, o spikes, dovuti alla velocità finita dei suoi componenti circuitali); questa interferenza può essere rappresentata come spurie (di riferimento) ad offset di $\pm F_r$ attorno ad una portante F_o . Le spurie di riferimento sono filtrate dal filtro di anello 120. Sfortunatamente, la larghezza di banda del filtro di anello 120 non può essere troppo stretta in quanto ciò aumenterebbe il rumore di fase ed un tempo di assestamento richiesto per commutare tra canali diversi. Di nuovo, la frequenza F_r del segnale di riferimento V_r deve essere mantenuta relativamente elevata.

Gli inconvenienti sopramenzionati dei PLL interi sono risolti da un'architettura frazionaria, in cui il rapporto di divisione del divisore di frequenza 105 cambia dinamicamente nella condizione di aggancio. In particolare, in F cicli, K volte la frequenza F_o del segnale di uscita V_o è divisa per $N+1$ invece che per N .

Il rapporto di divisione medio su F cicli è quindi:

$$\frac{K(N+1)+(F-K)N}{F} = N + \frac{K}{F}$$

Di conseguenza, nella condizione di aggancio la frequenza F_o del segnale di uscita V_o è uguale a $(N+K/F)F_r$.

5 L'architettura frazionaria consente di avere una
risoluzione di frequenza che è una porzione frazionaria
della frequenza di riferimento F_r ; pertanto, la frequenza
di riferimento F_r può essere superiore alla spaziatura di
canale (con una conseguente riduzione del valore N). In
10 questo modo, le prestazioni del PLL 100 in termini sia di
rumore di fase sia di tempo di assestamento sono
migliorate. Ad esempio, una spaziatura di canale di 30KHz
può essere ottenuta (con $F=16$) usando una frequenza di
riferimento $F_r=16*30\text{kHz}=480\text{kHz}$; per un PLL che lavora in
15 una banda di 900MHz, il valore $N=F_o/F_r$ è quindi
 $900\text{MHz}/480\text{kHz}=1875$ (invece di $900\text{MHz}/30\text{kHz}=30.000$ per una
corrispondente architettura intera).

Tuttavia, i cambiamenti nella divisione di frequenza
eseguita dal blocco 105 provocano spurie supplementari,
20 con una periodicità uguale a $1/(K*F/F_r)$; queste spurie
(frazionarie) sono ad offset multipli di $\pm F_r/F$ attorno
alla portante F_o . Le spurie frazionarie sono in genere di
ampiezza superiore alle spurie di riferimento, e
risiedono su canali adiacenti nelle impostazioni peggiori
25 definite dai canali frazionari $1/F$ e $(F-1)/F$. Pertanto,

le spurie frazionarie non possono essere rimosse dal filtro di anello 120; infatti, ciò richiederebbe una banda passante di anello troppo stretta (con un aumento intollerabile del rumore di fase e del tempo di
5 assestamento nel PLL 100).

In ogni caso, i concetti della presente invenzione sono applicabili anche quando il PLL ha una struttura diversa o include elementi equivalenti, quando il PLL lavora con frequenza di riferimento, spaziatura di canale
10 e/o parametri operativi diversi, e simili.

Movendosi ora alla Figura 2a, il comparatore di fase 115 include un rilevatore di frequenza e di fase (Phase Frequency Detector, o PFD) 205; il PFD 205 rileva una differenza di fase tra il segnale di retroazione Vb ed il
15 segnale di riferimento Vr sia inferiore a $\pm 2\pi$ radianti sia superiore a $\pm 2\pi$ radianti (comunemente indicata come differenza di frequenza).

A tale scopo, il segnale di riferimento Vr è applicato al terminale di orologio (clock) di un flip-flop di tipo D 210r; il terminale D (di ingresso) del
20 flip-flop 210r è connesso al terminale positivo di una sorgente di alimentazione continua +Vdd (ad esempio, 5V rispetto ad una tensione di riferimento o massa). Analogamente, il segnale di retroazione Vb è applicato al
25 terminale di clock di un flip-flop di tipo D 210b; il



terminale D del flip-flop 210b è connesso al terminale di alimentazione.

Il terminale Q (di uscita) del flip-flop 201r ed il terminale Q del flip-flop 201b sono connessi a rispettivi
5 terminali di ingresso di una porta AND 215. Il segnale in uscita dalla porta AND 215 è fornito, attraverso una linea di ritardo 220, ai terminali di reset del flip-flop 210r e del flip-flop 210b.

Il terminale Q (negato) del flip-flop 210r fornisce
10 un segnale indicatore di incremento di fase Su; il segnale Su è sottolineato per indicare che esso è ad un valore logico basso (0) quando asserito e ad un valore logico alto (1) quando deasserito. Il terminale Q del flip-flop 210d fornisce direttamente un segnale
15 indicatore di decremento di fase Sd.

I segnali Su e Sd controllano una pompa di carica (CP) 225. La pompa di carica 225 include un ramo superiore (riferito alla tensione di alimentazione +Vdd) ad un ramo inferiore (riferito a massa). Il ramo
20 superiore consiste di un generatore di corrente 230h (che fornisce una corrente I_h), il quale è connesso in serie ad un interruttore elettronico 232h (tipicamente implementato con un PMOS); analogamente, il ramo inferiore consiste di un generatore di corrente 230l (che
25 fornisce una corrente I_l), il quale è connesso in serie

Ing. Ennio PEZZOLI~~N. Iscriz. 528~~

(in proprio e per gli altri)

ad un interruttore elettronico 2321 (tipicamente implementato con un NMOS). L'interruttore 232h e l'interruttore 2321 sono controllati, rispettivamente, dal segnale di incremento Su e dal segnale di decremento Sd. Il ramo superiore ed il ramo inferiore sono connessi tra loro, e definiscono un terminale di uscita della pompa di carica 225 che fornisce una corrente Ip.

Come descritto in dettaglio nel seguito, un circuito di condizionamento 235 fornisce un segnale Sc. Il segnale di condizionamento Sc controlla un interruttore elettronico 240 (ad esempio, implementato con un NMOS). Un ulteriore generatore di corrente 242 è connesso tra l'interruttore 240 ed il terminale di uscita della pompa di carica 225; il generatore 242 estrae una corrente di condizionamento Ic dal terminale di uscita della pompa di carica 225. La corrente di controllo $I_d = I_p - I_c$ che ne risulta è quindi fornita al filtro di anello.

Considerando congiuntamente le Figure 2a e 2b, il segnale di incremento Su è asserito in corrispondenza della rilevazione di un fronte di salita del segnale di riferimento Vr; in risposta a ciò, l'interruttore 232h è chiuso e la corrente Ih è iniettata nel terminale di uscita della pompa di carica 225. Analogamente, il segnale di decremento Sd è asserito in corrispondenza della rilevazione di un fronte di salita del segnale di

Ing. Ennio PEZZOLI**N. ~~Disegn.~~ 528****(in proprio e per gli altri)**

retroazione Vb; l'interruttore 2321 è quindi chiuso e la corrente I1 è estratta dal terminale di uscita della pompa di carica 225. Quando entrambi i segnali Su ed Sd sono asseriti, i flip-flop 210b e 210r sono resettati; di
5 conseguenza, gli interruttori 232h, 2321 sono aperti in modo da azzerare le corrispondenti correnti Ih, I1. La linea di ritardo 220 assicura che i flip-flop 210r, 210b sono resettati con un breve ritardo che rimuove gli effetti della zona-morta della pompa di carica 225.

10 La corrente della pompa di carica Ip consiste quindi di una serie di impulsi indicativi della differenza di fase tra i segnali Vb e Vr. In particolare, ogni impulso della corrente della pompa di carica Ip ha una larghezza proporzionale al modulo della differenza di fase;
15 l'impulso è positivo quando il fronte di salita del segnale di retroazione Vb segue il fronte di salita del segnale di riferimento Vr, oppure è negativo in caso contrario.

In un PLL noto nell'arte (vedi Figura 2b), la
20 corrente di condizionamento Ic consiste di una corrente continua che è fornita al filtro di anello. Il PLL si aggancia quando la corrente di controllo complessiva $I_d = I_p - I_c$ iniettata nel filtro di anello ad ogni ciclo è zero (ossia, l'area positiva è uguale all'area negativa).
25 In questa condizione mostrata in figura, il segnale di

retroazione V_b ed il segnale di riferimento V_r hanno la stessa frequenza, ma una differenza di fase corrispondente al valore della corrente di condizionamento I_c . Tuttavia, il valore istantaneo della
5 corrente di controllo I_d è diverso da zero; ciò provoca un'oscillazione (alla frequenza di riferimento F_r) nella tensione di controllo V_c fornita al VCO, con un corrispondente aumento nel livello delle spurie di riferimento.

10 Al contrario, come mostrato in Figura 2c, nella soluzione in accordo con la presente invenzione la corrente di condizionamento I_c consiste di una serie di impulsi. Preferibilmente, gli impulsi della corrente di condizionamento I_c sono sincroni con il segnale di
15 retroazione V_b ; in particolare, un fronte di discesa di ogni impulso della corrente di condizionamento I_c è generato in risposta ad un corrispondente fronte di salita del segnale di retroazione V_b . L'impulso ha una durata predefinita (ad esempio, 1-2ns).

20 Il PLL si aggancia quando gli impulsi della corrente della pompa di carica I_p combaciano con gli impulsi della corrente di condizionamento I_c ; in questa condizione mostrata in figura, la corrente di controllo I_d ha un valore istantaneo che è sempre nullo. Di conseguenza, la
25 frequenza F_b del segnale di retroazione V_b è uguale alla



frequenza F_r del segnale di riferimento V_r . Tuttavia, il segnale di retroazione V_b ed il segnale di riferimento V_r hanno una differenza di fase corrispondente alla larghezza degli impulsi della corrente di condizionamento I_c (con i fronti di salita del segnale di retroazione V_b che seguono i corrispondenti fronti di salita del segnale di riferimento V_r).

In ogni caso, i concetti della presente invenzione sono applicabili anche quando il PFD è sostituito con un miscelatore (mixer) o con porte XOR, oppure quando la pompa di carica ha un'altra struttura (ad esempio, invertendo le posizioni dei generatori di corrente e degli interruttori in ogni ramo); considerazioni analoghe si applicano se i transistori PMOS ed NMOS sono sostituiti con componenti equivalenti, se la corrente di condizionamento è iniettata nel terminale di uscita della pompa di carica (per mezzo di un generatore di corrente controllato da un PMOS), e simili. In alternativa, il segnale di incremento ed il segnale di decremento sono generati in risposta ai fronti di discesa, rispettivamente, del segnale di riferimento e del segnale di retroazione, oppure il PFD prevede segnali equivalenti indicativi della differenza di fase tra il segnale di retroazione ed il segnale di riferimento.

Un'implementazione del circuito di condizionamento

235 (basata sui segnali disponibili nel divisore di
frequenza 105) è mostrata in Figura 3a. In particolare,
il divisore di frequenza 105 include un divisore bi-
modulo 305. Il blocco 305 divide la frequenza F_0 del
5 segnale di uscita V_0 per P o $P+1$, (dove P è un numero
intero predefinito); in questo modo, un semplice
meccanismo di divisione continuo può essere ottenuto
controllando il numero di volte in cui si divide per P o
per $P+1$. Ad esempio, un divisore $3/4$ consente di
10 realizzare un rapporto di divisione uguale a $608/202=3,01$
dividendo la frequenza F_0 del segnale di uscita V_0 per 3
un totale di 200 volte e per 4 due volte ($608=3*200+4*2$ e
 $202=200+2$).

Il funzionamento del divisore bi-modulo 305 è
15 controllato da una logica 310 in funzione del valore N e
del valore di aggiustamento K . Il risultato della
divisione di frequenza eseguita dal divisore bi-modulo
305 consiste di un segnale pre-scalato V_s (avente una
frequenza F_s) che è usato per sincronizzare (clock) gli
20 altri elementi del divisore di frequenza 105 e per
resettare la logica di controllo 310; lo stesso segnale
pre-scalato V_s è anche usato per sincronizzare il
circuitto di condizionamento 235. Un contatore 315 (ad
esempio, a modulo 16) genera il segnale di retroazione V_b
25 dividendo la frequenza F_s del segnale pre-scalato V_s per

il suo modulo (ossia, $F_b = F_s/16$).

Il circuito di condizionamento 235 include un decodificatore 320 che riceve il contenuto del contatore 315. Il decodificatore 320 produce un segnale S_6 , il quale è applicato al terminale D di un flip-flop 325 (sincronizzato dal segnale pre-scalato V_s). Il terminale Q del flip-flop 325 fornisce direttamente il segnale di condizionamento S_c .

Considerando congiuntamente le Figure 3a e 3b, il segnale di retroazione V_b è mantenuto basso per 8 periodi del segnale pre-scalato V_s (ciascuno consistente di 3 periodi del segnale di uscita V_o) e si porta alto per i successivi 8 periodi (ciascuno consistente di 3 o 4 periodi del segnale di uscita V_o); in particolare, il fronte di salita del segnale di retroazione V_b è generato quando il contatore 315 raggiunge il valore 8. Il decodificatore 320 asserisce il segnale S_6 quando il contatore 315 assume il valore 6 (ossia, in risposta al fronte di salita del segnale pre-scalato V_s che precede quello che provoca il fronte di salita del segnale di retroazione V_b di 2 periodi).

Il segnale S_6 presenta un disallineamento (skew), rispetto al segnale pre-scalato V_s , a causa del ritardo introdotto dal decodificatore 320. Il segnale S_6 è staticizzato dal flip-flop 325 in risposta al successivo

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

fronte di salita del segnale pre-scalato Vs. Di conseguenza, il segnale di condizionamento Sc (fornito dal terminale Q del flip-flop 325) rimane asserito per un periodo del segnale pre-scalato Vs (dal valore 7 al
5 valore 8 del contatore 315). In questo modo, il fronte di discesa di ogni impulso del segnale di condizionamento Sc è sincrono con un corrispondente fronte di salita del segnale di retroazione Vb. Inoltre, l'impulso ha una larghezza ben definita; nell'esempio in questione,
10 l'impulso del segnale di condizionamento Sc dura un periodo del segnale pre-scalato Vs, cioè 3 periodi del segnale di uscita Vo.

In ogni caso, i concetti della presente invenzione sono applicabili anche quando il divisore di frequenza ha
15 una struttura diversa, o quando il circuito di condizionamento include componenti equivalenti. Considerazioni analoghe si applicano se è previsto un altro divisore multi-modulo, se il contatore ha un modulo diverso, oppure se il segnale di condizionamento è
20 sincronizzato con il segnale di retroazione in un altro modo. In alternativa, ogni impulso del segnale di condizionamento ha una larghezza diversa, oppure il circuito di condizionamento consente di programmare questa larghezza ad un qualsiasi numero desiderato di
25 periodi del segnale di uscita.



Più in generale, la presente invenzione propone un circuito ad anello ad aggancio di fase, il quale è usato per fornire un segnale di uscita avente una frequenza dipendente dalla frequenza di un segnale di riferimento.

5 Il circuito comprende mezzi per ricavare un segnale di retroazione dal segnale di uscita. Ulteriori mezzi sono usati per fornire un segnale di controllo, il quale è indicativo di una differenza di fase tra il segnale di riferimento ed il segnale di retroazione. La frequenza
10 del segnale di uscita è controllata in funzione del segnale di controllo. Inoltre, sono previsti mezzi per portare il circuito in una condizione di aggancio quando il segnale di riferimento ed il segnale di retroazione hanno la stessa frequenza ed una differenza di fase pre-
15 definita. Nella soluzione dell'invenzione, i mezzi per portare il circuito nella condizione di aggancio comprendono mezzi per condizionare il segnale di controllo ad avere un valore istantaneo sostanzialmente nullo nella condizione di aggancio; questo risultato è
20 ottenuto tramite un segnale di condizionamento, il quale consiste di una serie di impulsi ciascuno corrispondente alla differenza di fase pre-definita.

La soluzione dell'invenzione riduce fortemente gli effetti della non-linearità nella caratteristica di
25 ingresso/uscita del comparatore di fase incluso nel PLL.

La struttura proposta forza il comparatore di fase a lavorare in una parte lineare della sua caratteristica di I/O; questo risultato è ottenuto condizionando la corrente di controllo (o qualsiasi altro segnale
5 equivalente) ad avere un valore istantaneo che è sempre nullo nella condizione di aggancio.

Lo schema di condizionamento dell'invenzione non impatta il livello delle spurie di riferimento (come nelle soluzioni note nell'arte).

10 Pertanto, la soluzione concepita comporta un miglioramento delle prestazioni complessive del PLL.

La forma di realizzazione preferita dell'invenzione sopra descritta offre ulteriori vantaggi.

In particolare, la corrente di condizionamento è
15 aggiunta alla corrente della pompa di carica.

Pertanto, la corrente risultante che è iniettata nel filtro di anello può essere condizionata (ad essere sempre nulla nella condizione di aggancio) in modo molto semplice.

20 Una tipica applicazione della soluzione proposta è in un PLL che include un PFD, il quale fornisce un segnale di incremento ed un segnale di decremento che sono asseriti in risposta a corrispondenti fronti di confronto, rispettivamente, del segnale di riferimento e
25 del segnale di retroazione.

Questa struttura si adatta molto bene alla generazione degli impulsi della corrente di condizionamento.

Vantaggiosamente, gli impulsi della corrente di
5 condizionamento sono generati in modo sincrono con uno selezionato tra il segnale di riferimento ed il segnale di retroazione.

La caratteristica proposta rende possibile ottenere la corrente di condizionamento con un numero ridotto di
10 semplici componenti.

Comunque, la soluzione in accordo con la presente invenzione si presta ad essere implementata in un PLL avente un'architettura diversa, iniettando la corrente di condizionamento in un'altra posizione, oppure anche
15 generando la corrente di condizionamento in modo diverso.

In una forma di realizzazione preferita dell'invenzione, la corrente di condizionamento è derivata dal segnale fornito in uscita dal PLL.

La soluzione concepita fornisce una precisione molto
20 elevata (in quanto è basata sulla sorgente di base dei tempi ad alta frequenza più precisa disponibile nel circuito).

Come ulteriore perfezionamento, i fronti di discesa della corrente di condizionamento corrispondono ai fronti
25 di salita del segnale di retroazione.

Ing. Emilio PEZZOLI~~N. Iscriz. 528~~

(in proprio o per gli altri)

Questa scelta riduce il rumore introdotto dal divisore di frequenza (in quanto gli effetti di ogni picco causato dalla commutazione del segnale di retroazione sono scomparsi al successivo confronto).

5 Un modo per migliorare ulteriormente la soluzione è di sincronizzare il circuito di condizionamento per mezzo del segnale pre-scalato generato nel divisore di frequenza.

La struttura proposta rende possibile sfruttare
10 componenti che sono già disponibili nel PLL.

Alternativamente, il segnale di condizionamento può essere generato usando una linea di ritardo invertente pilotata dal segnale di riferimento o dal segnale di retroazione; questa forma di realizzazione è molto
15 semplice, ma introduce una instabilità (jitter) nel segnale di uscita dovuta alla variazione di larghezza negli impulsi del segnale di condizionamento (la quale variazione è proporzionale alla larghezza stessa). Inoltre, la presente invenzione è anche adatta ad essere
20 implementata generando i fronti di salita del segnale di condizionamento in risposta ai fronti di salita del segnale di retroazione, sincronizzando il circuito di condizionamento in altro diverso (ad esempio, per mezzo di un circuito dedicato), oppure anche con una diversa
25 struttura del circuito di condizionamento.



Senza nulla togliere all'applicabilità generale dell'invenzione, la soluzione concepita è particolarmente vantaggiosa in un PLL di tipo frazionario.

Infatti, lo schema di condizionamento proposto è molto efficace nella riduzione delle spurie frazionarie (senza aumentare il livello delle spurie di riferimento).

Comunque, l'implementazione della soluzione dell'invenzione in un PLL di tipo intero non è esclusa (anche se la linearità non è in genere critica in questo caso). Inoltre, lo stesso schema di condizionamento è utilizzabile anche in un PLL senza divisore di frequenza, il quale PLL fornisce sempre in uscita un segnale avente la stessa frequenza del segnale di riferimento.

Naturalmente alla soluzione sopra descritta un tecnico del ramo, allo scopo di soddisfare esigenze contingenti e specifiche, potrà apportare numerose modifiche e varianti, tutte peraltro contenute nell'ambito di protezione dell'invenzione, quale definito dalle seguenti rivendicazioni.

RIVENDICAZIONI

1. Un circuito ad anello ad aggancio di fase (100) per fornire un segnale di uscita avente una frequenza
5 dipendente dalla frequenza di un segnale di riferimento, il circuito comprendendo mezzi (105) per ricavare un segnale di retroazione dal segnale di uscita, mezzi (115) per fornire un segnale di controllo indicativo di una differenza di fase tra il segnale di riferimento ed il
10 segnale di retroazione, mezzi (120,125) per controllare la frequenza del segnale di uscita in funzione del segnale di controllo, e mezzi (235-242) per portare il circuito in una condizione di aggancio quando il segnale di riferimento ed il segnale di retroazione hanno la
15 stessa frequenza ed una differenza di fase pre-definita, caratterizzato dal fatto che
i mezzi per portare il circuito nella condizione di aggancio comprendono mezzi (235-242) per condizionare il segnale di controllo ad avere un valore istantaneo
20 sostanzialmente nullo nella condizione di aggancio tramite un segnale di condizionamento consistente di una serie di impulsi ciascuno corrispondente alla differenza di fase pre-definita.

2. Il circuito (100) secondo la rivendicazione 1, in
25 cui i mezzi (115) per fornire il segnale di controllo

comprendono mezzi (205,225) per generare un segnale indicatore di fase consistente di una serie di impulsi ciascuno indicativo di una differenza di fase tra il segnale di riferimento ed il segnale di retroazione, ed in cui i mezzi per condizionare (235-242) includono mezzi (240-242) per aggiungere il segnale di condizionamento al segnale indicatore di fase, gli impulsi del segnale indicatore di fase essendo opposti agli impulsi del segnale di condizionamento nella condizione di aggancio.

10 3. Il circuito (100) secondo la rivendicazione 2, in cui i mezzi (205,225) per generare il segnale indicatore di fase comprendono mezzi (210r) per settare un primo segnale indicatore in risposta ad un fronte di commutazione del segnale di riferimento, mezzi (210b) per
15 settare un secondo segnale indicatore in risposta al fronte di commutazione del segnale di retroazione, mezzi (215,220) per resettare il primo segnale indicatore ed il secondo segnale indicatore in risposta al settaggio di entrambi il primo ed il secondo segnale indicatore, e
20 mezzi (225) per combinare il primo segnale indicatore ed il secondo segnale indicatore nel segnale indicatore di fase, i fronti di commutazione del segnale di riferimento e del segnale di retroazione essendo sincroni con gli impulsi del segnale di condizionamento nella condizione
25 di aggancio.

4. Il circuito (100) secondo una qualsiasi delle rivendicazioni da 1 a 3, in cui i mezzi (235-242) per condizionare comprendono mezzi (235) per generare gli impulsi del segnale di condizionamento in modo sincrono con uno selezionato tra il segnale di riferimento ed il segnale di retroazione.

5. Il circuito (100) secondo la rivendicazione 4, in cui il segnale selezionato consiste del segnale di retroazione, i mezzi (235) per generare il segnale di condizionamento comprendendo mezzi (320-330) per derivare il segnale di condizionamento dal segnale di uscita.

6. Il circuito (100) secondo la rivendicazione 5, in cui i mezzi (320-330) per derivare il segnale di condizionamento dal segnale di uscita comprendono mezzi (320) per generare il fronte di commutazione ed un ulteriore fronte di commutazione di ogni impulso del segnale di condizionamento in risposta, rispettivamente, ad un primo fronte di commutazione e ad un secondo fronte di commutazione del segnale di uscita, il secondo fronte di commutazione del segnale di uscita corrispondendo al fronte di commutazione del segnale di retroazione ed il primo fronte di commutazione del segnale di uscita precedendo il secondo fronte di commutazione del segnale di uscita di un numero pre-definito di periodi del segnale di uscita.



7. Il circuito (100) secondo la rivendicazione 6, in cui i mezzi (105) per generare il segnale di retroazione comprendono un divisore multi-modulo (305) per derivare un segnale pre-scalato dal segnale di uscita, i mezzi per
5 derivare (320-330) il segnale di condizionamento dal segnale di uscita essendo sincronizzati dal segnale pre-scalato.

8. Il circuito (100) secondo una qualsiasi delle rivendicazioni da 1 a 7, in cui il circuito ad anello ad
10 aggancio di fase è di tipo frazionario.

9. In un circuito ad anello ad aggancio di fase, un metodo per fornire un segnale di uscita avente una frequenza dipendente dalla frequenza di un segnale di riferimento, il metodo comprendendo i passi di:

15 ricavare un segnale di retroazione dal segnale di uscita,

fornire un segnale di controllo indicativo di una differenza di fase tra il segnale di riferimento ed il segnale di retroazione,

20 controllare la frequenza del segnale di uscita in funzione del segnale di controllo, e

portare il circuito in una condizione di aggancio quando il segnale di riferimento ed il segnale di retroazione hanno la stessa frequenza ed una differenza
25 di fase pre-definita,

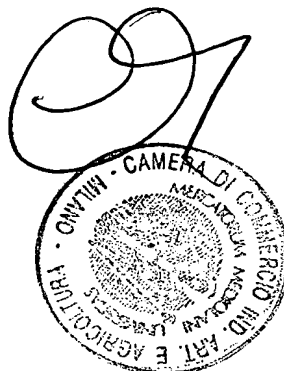
caratterizzato dal fatto che il passo di portare il circuito nella condizione di aggancio comprende:

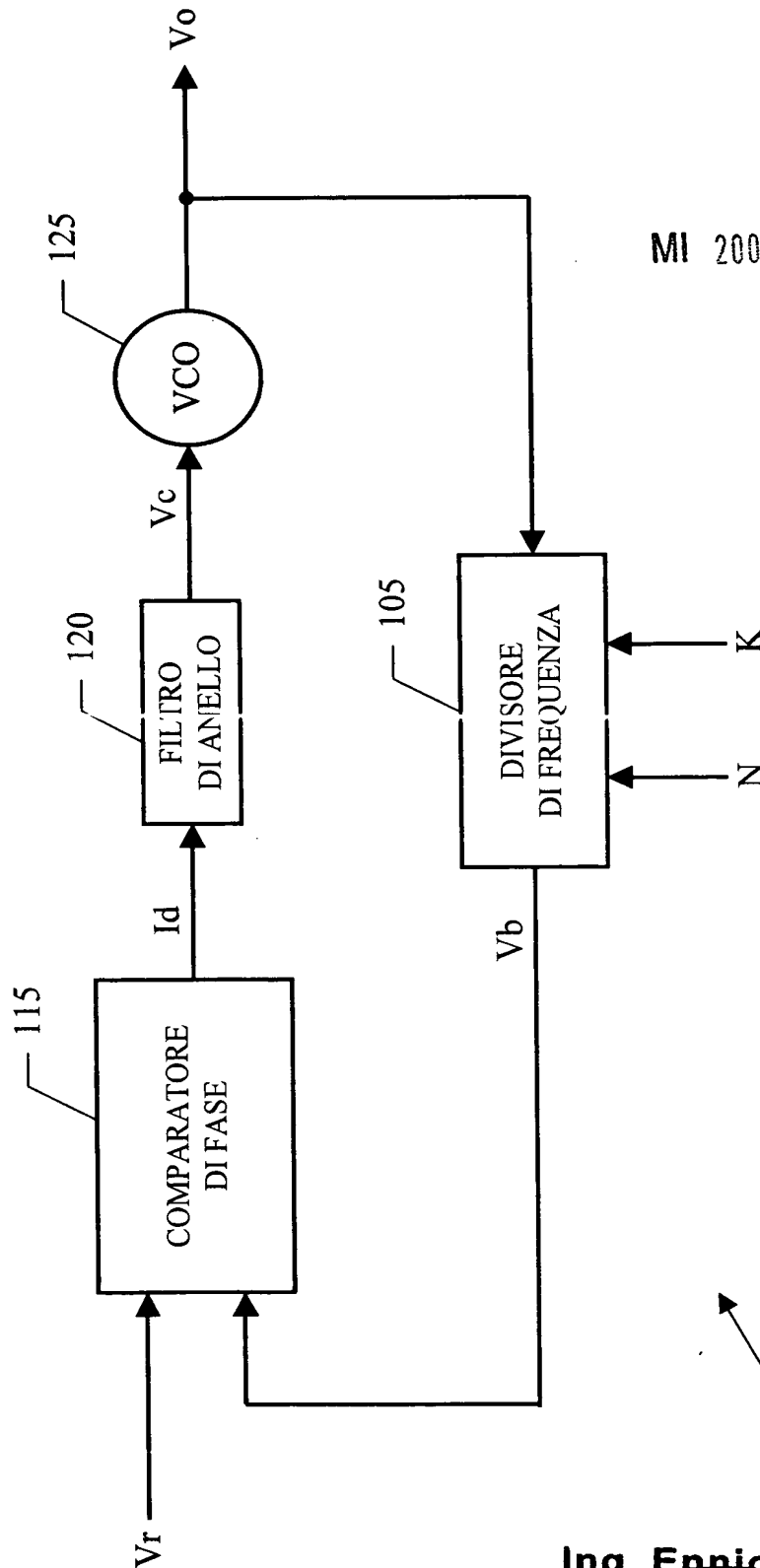
condizionare il segnale di controllo ad avere un valore istantaneo sostanzialmente nullo nella condizione di aggancio tramite un segnale di condizionamento
5 consistente di una serie di impulsi ciascuno corrispondente alla differenza di fase pre-definita.

Ing. Ennio PEZZOLI

N. Iscriz. 528

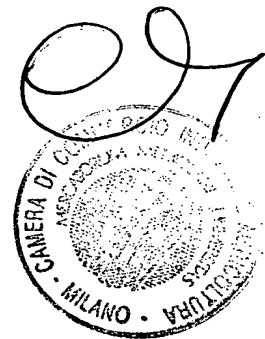
(in proprio e per gli altri)





MI 2003 A 0 0 0 4 8 4

FIG.1



100

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

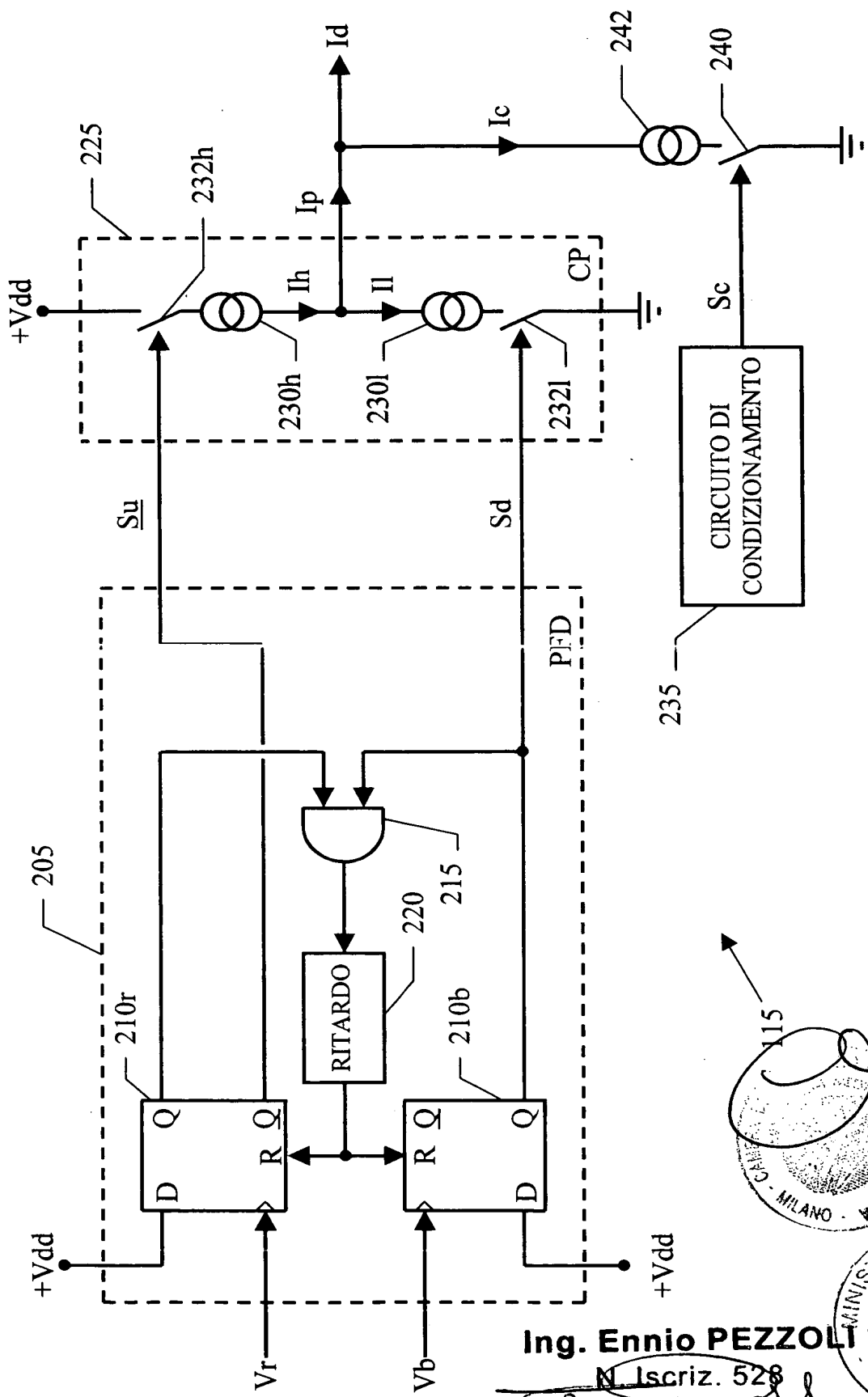
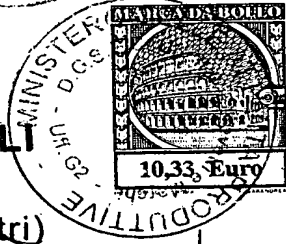
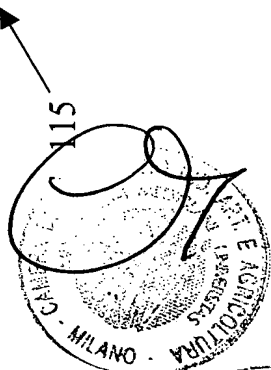
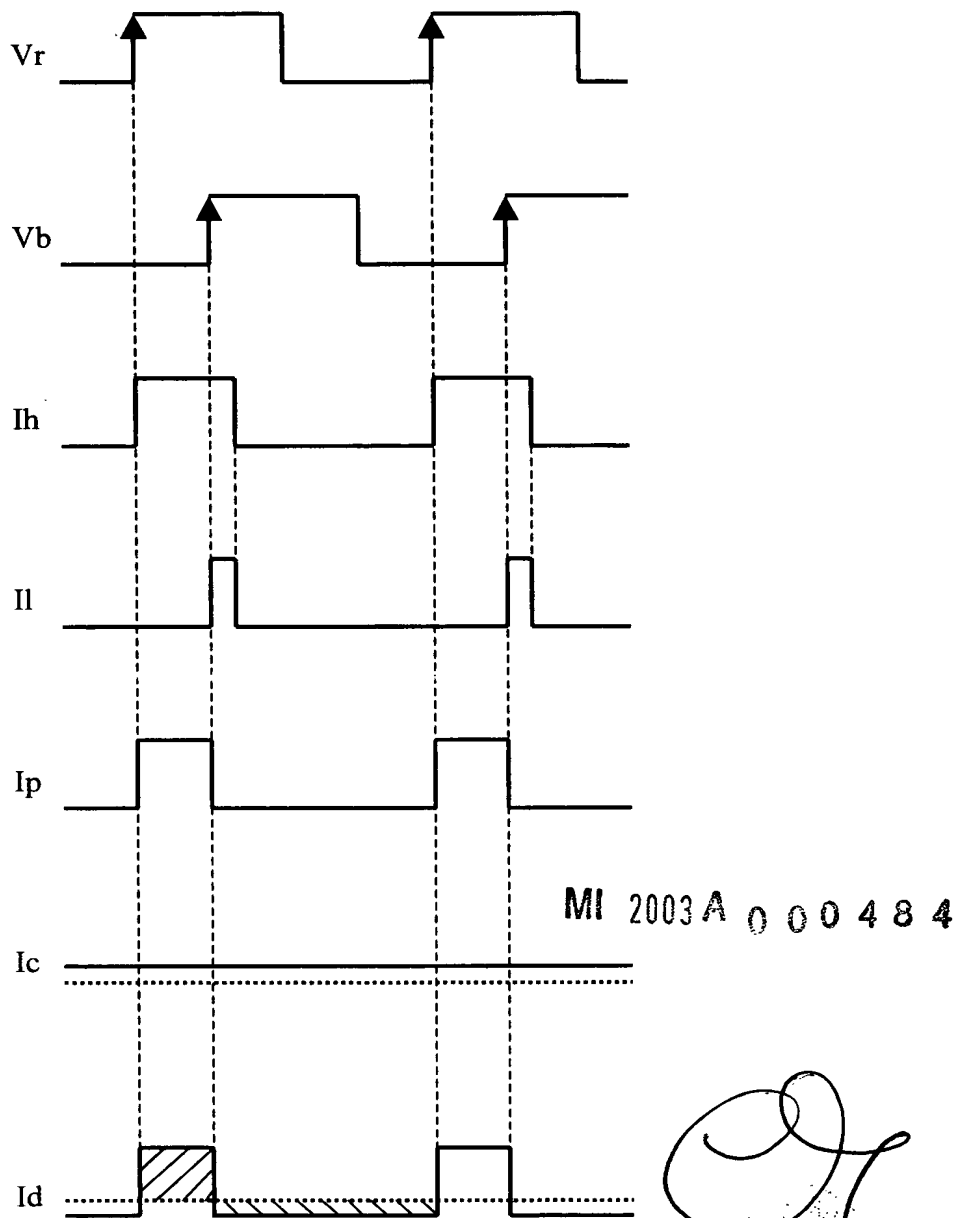


FIG.2a

Ing. Ennio PEZZOLI
N. Iscriz. 528
(in proprio e per gli altri)

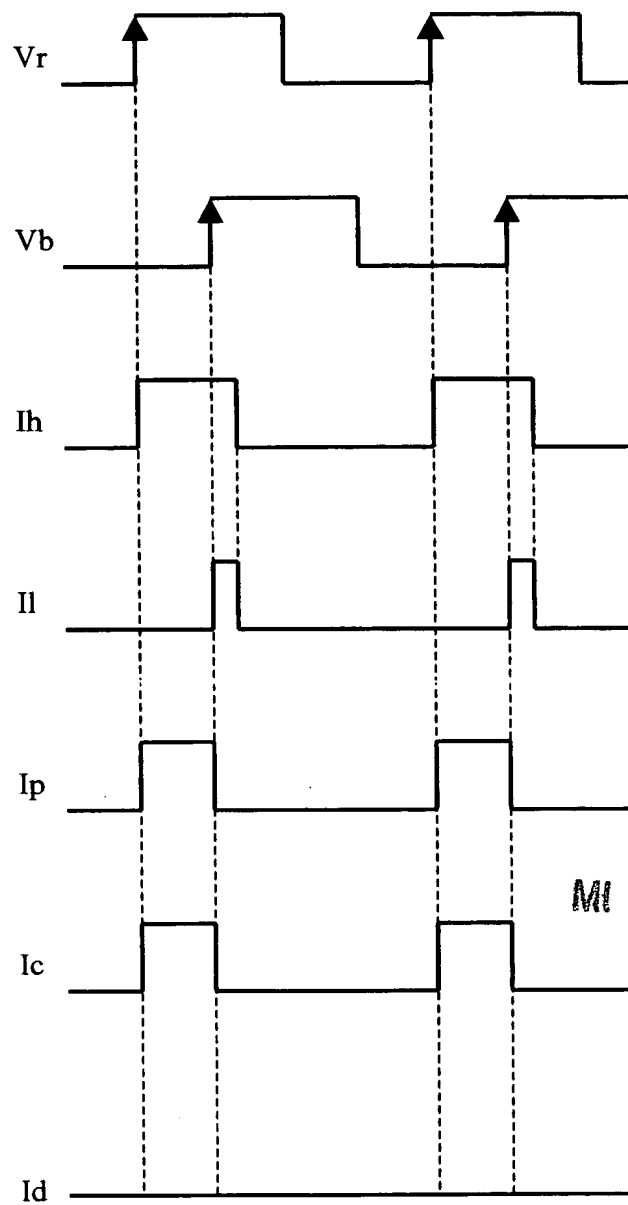


FIG.2b

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)



MI 2003A 000484

FIG.2c

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

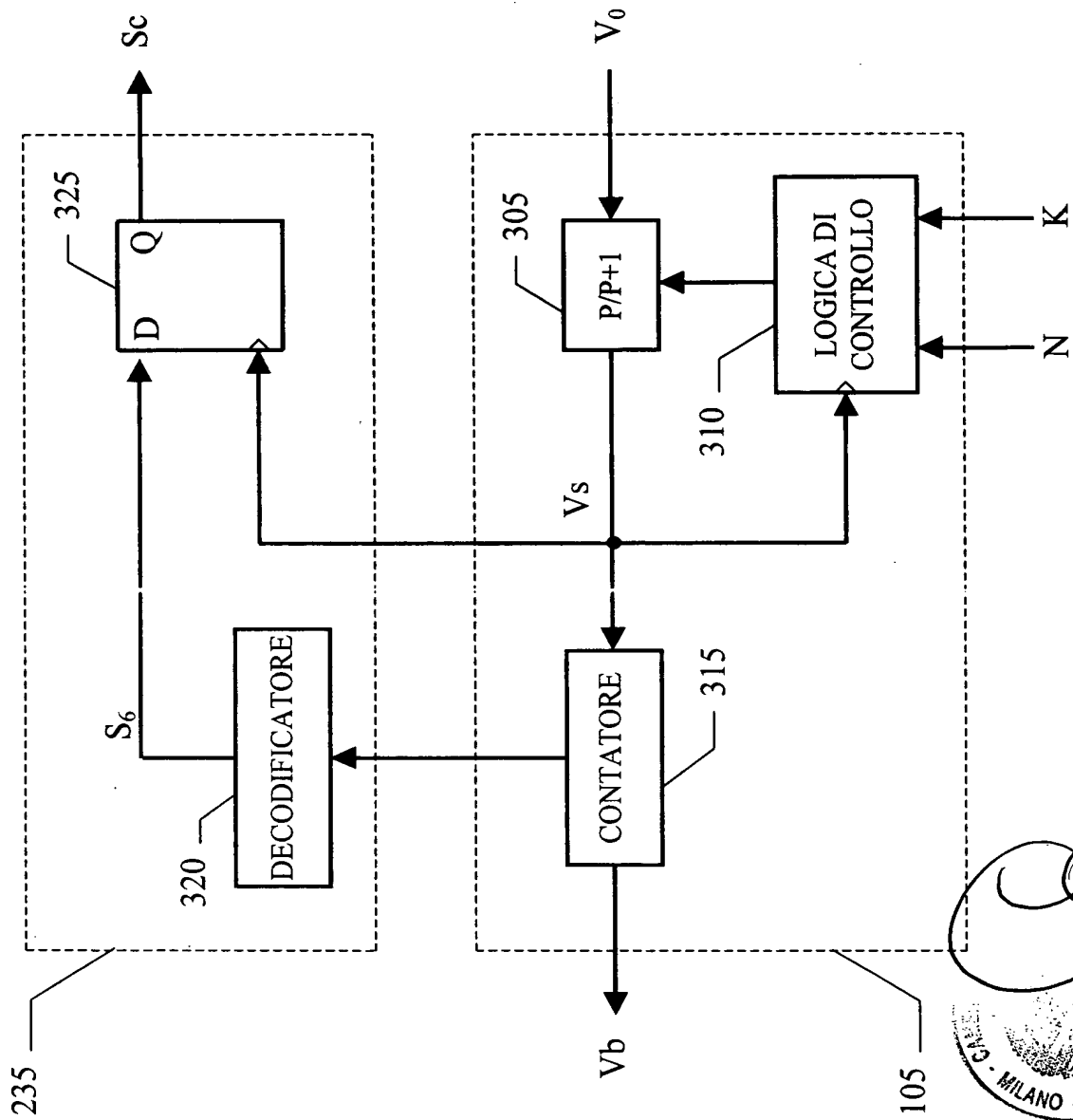
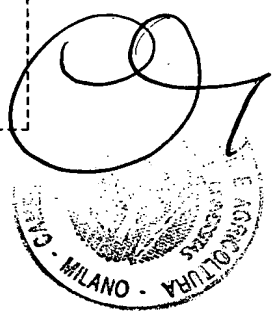


FIG.3a

MI 2003 A 0 00 484

Ing. Ennio PEZZOLI

N. 1 sez. 528
(in proprio e per gli altri)



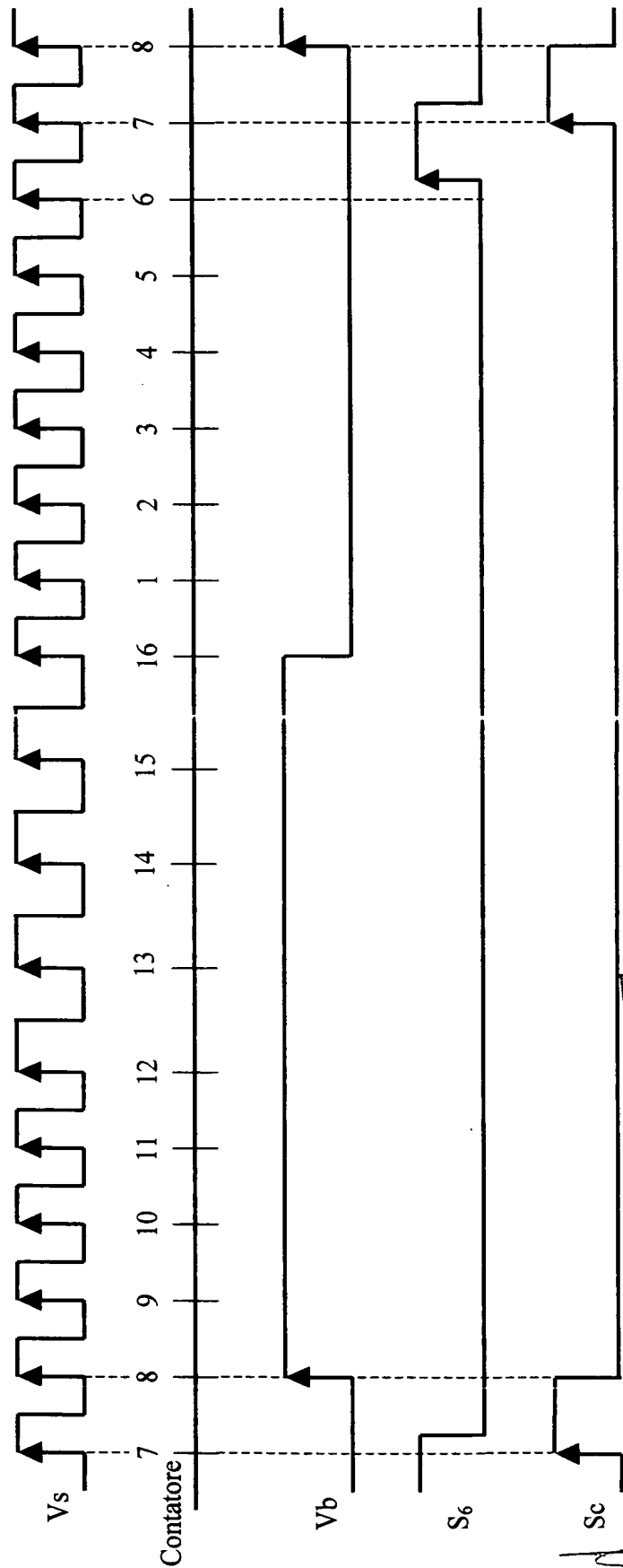
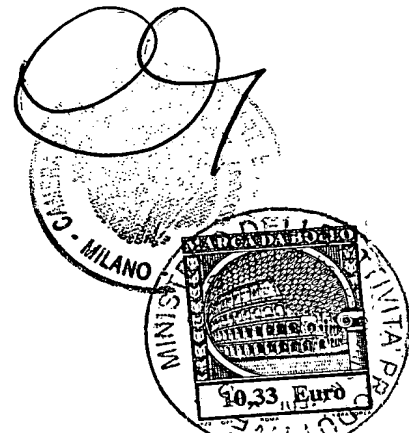


FIG.3b

MI 2003A 0 00 484



Ing. Ennio PEZZOL
N. Iscriz. 528
in proprio e per gli altri